

CLIPPEDIMAGE= JP411074407A

PAT-NO: JP411074407A

DOCUMENT-IDENTIFIER: JP 11074407 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: March 16, 1999

INVENTOR-INFORMATION:

NAME

NAKAMURA, TAKASHI

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP09234272

APPL-DATE: August 29, 1997

INT-CL (IPC): H01L023/12;H01L021/60 ;H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent short circuits between power supply electrode terminals and ground electrode terminals, by arranging each external electrode terminal so that power supply electrode terminals having different polarities may not come close each other.

SOLUTION: Solder balls 3 formed on a mounting surface 6 of a package 2 are composed of solder balls 3a constituting power supply electrode terminals, solder balls 3b constituting ground electrode terminals, and solder balls 3c constituting signal electrode terminals which are external electrode terminals other than the power supply and ground electrode terminals. The solder balls 3 are arranged in such a way that each one solder ball 3c is provided between

each one solder ball 3a and each one solder ball 3b, so that the solder balls 3a and 3b may not come close each other. Therefore, short circuits hardly occur between the terminals 3 and 3c and the mounting reliability of a semiconductor device can be improved, because the foreign matters such as the solder tailings, etc., that cause short circuits between the terminals 3a and 3b have sizes of ≤ 1 mm.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74407

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

L

21/60

3 1 1

21/60

3 1 1 S

21/92

6 0 2 P

6 0 4 H

23/12

Q

審査請求 未請求 請求項の数3 O L (全 4 頁)

(21) 出願番号

特願平9-234272

(22) 出願日

平成9年(1997) 8月29日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 中村 尚

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

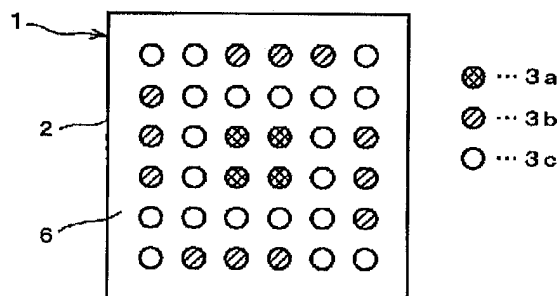
(74) 代理人 弁理士 青山 葆 (外1名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 BGAやCSP等の面実装パッケージで形成され、電源電極端子及びアース電極端子の間でのショートを防止することができる半導体装置を得る。

【解決手段】 パッケージ2の実装面6上に形成する半田ボール3において、電源電極端子をなす半田ボール3aとアース電極端子をなす半田ボール3bとの間に、少なくとも1つの信号電極端子をなす半田ボール3cを配置して設けるようにする。



3a~3c: 半田ボール

【特許請求の範囲】

【請求項1】 各外部電極端子に半田ボールをそれぞれ使用した面実装パッケージで形成される半導体装置において、極性の異なる電源電極端子を隣接させないように、上記各外部電極端子を配置することを特徴とする半導体装置。

【請求項2】 上記面実装パッケージにおける外部電極端子の半田ボールピッチは、1mm以下であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 極性の異なる電源電極端子間に、電源電極端子とは異なる少なくとも1つの信号電極端子を設けるように、上記各外部電極端子を配置することを特徴とする請求項1又は請求項2のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特にBGA (Ball Grid Array)、CSP (Chip Scale Package) 等、外部電極端子に半田ボールを使用した多ピンの面実装パッケージにおける電極配置に関するものである。

【0002】

【従来の技術】メモリICやASIC等の分野では、高速化、多ピン化及び小型化の要求から、従来のQFP等のような外部電極端子にピンを使用したパッケージでは対応できなくなっていた。このため、外部電極端子に半田ボールを使用したBGA、CSP等のような薄く小形で外部電極端子数の多いパッケージが開発され、このようなパッケージでは、多端子化及び小型化を行うために、外部電極端子をなす半田ボールのピッチは1mm以下となるように形成されていた。

【0003】図7は、従来の半導体装置における実装面の例を示した平面図である。図7において、半導体装置100は、パッケージ101における実装面102上にそれぞれの外部電極端子をなす各半田ボールがそれぞれ形成されている。実装面102上に形成された各半田ボールは、電源電極端子をなす半田ボール103a、アース電極端子をなす半田ボール103b、並びに電源電極端子及びアース電極端子以外の外部電極端子である信号電極端子をなす半田ボール103cからなる。

【0004】

【発明が解決しようとする課題】ここで、半田ボール間のピッチが1mm以下になると、実装の際に半田ショートや、固定異物又は可動異物による電極端子間のショートが発生しやすくなる。しかし、BGAやCSP等の面実装パッケージにおいては、このようなショートを、QFP等のピンを使用したパッケージのように目視やプロービングで発見することは不可能である。このため、BGAやCSP等の面実装パッケージにおける電極端子間

のショート等の接続不良を検出する方法として、バウンダリスキャンがあった。

【0005】上記バウンダリスキャンは、電源電極端子及びアース電極端子以外の外部電極端子である信号電極端子が絡んだショート、すなわち、信号電極端子間、信号電極端子と電源電極端子との間、及び信号電極端子とアース電極端子との間で生じたショートを電氣的に検出することができる。しかし、図7で示したように、半田ボール103a及び103bを隣接させて形成した場合、半田ボールのピッチが1mm以下になると、電源電極端子とアース電極端子との間で半田くず等の異物によってショートする可能性が大きくなる。これに対して、電源電極端子とアース電極端子との間で生じたショートは、バウンダリスキャンでは検出することができないという問題があった。

【0006】本発明は、上記のような問題を解決するためになされたものであり、BGAやCSP等の面実装パッケージで形成され、電源電極端子及びアース電極端子の間でのショートを防止することができる半導体装置を得ることを目的とする。

【0007】なお、本発明と目的が異なるが、電源リードと接地リードとの間に2本の信号リードを配置することによって、電源電位及び接地電位の変動を抑えてトランジスタの誤動作を防止した、外部電極端子にリードを使用する半導体装置が、特開平6-151688号公報で開示されている。

【0008】

【課題を解決するための手段】この発明に係る半導体装置は、各外部電極端子に半田ボールをそれぞれ使用した面実装パッケージで形成される半導体装置において、極性の異なる電源電極端子を隣接させないように、各外部電極端子を配置するものである。

【0009】また、この発明に係る半導体装置は、請求項1において、上記面実装パッケージにおける外部電極端子の半田ボールピッチは、1mm以下であるものである。

【0010】また、この発明に係る半導体装置は、請求項1又は請求項2のいずれかにおいて、極性の異なる電源電極端子間に、電源電極端子とは異なる少なくとも1つの信号電極端子を設けるように、上記各外部電極端子を配置するものである。

【0011】

【発明の実施の形態】次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

実施の形態1. 図1は、本発明の実施の形態1における半導体装置の例を示した斜視図であり、図2は、図1で示した半導体装置の側面図である。図1及び図2において、半導体装置1は、パッケージ2における実装面上にそれぞれの外部電極端子をなす各半田ボール3がそれぞれ形成されており、BGA又はCSP等で形成されてい

る。該各半田ボール3は、1mm以下のピッチでそれぞれ形成されており、例えば1.5cm角の実装面を有するパッケージ2において、該実装面上には150個以上の半田ボール3が形成されている。なお、本実施の形態1においては、分かりやすいように半田ボール3の数を少なく示している。

【0012】図3は、図1及び図2で示した半導体装置1を実装基板上に実装した状態を示す側面図である。図3において、実装基板5上に形成された配線パターン（図示せず）における所定の位置に配置された各半田ボール3は、加熱されて熱溶融することによって実装基板5上にそれぞれ接続される。図4は、半導体装置1における実装面の例を示した平面図である。図4において、パッケージ2の実装面6上に形成された各半田ボール3は、電源電極端子をなす半田ボール3a、アース電極端子をなす半田ボール3b、並びに電源電極端子及びアース電極端子以外の外部電極端子である信号電極端子をなす半田ボール3cで構成されている。

【0013】半田ボール3aと3bとの間には、少なくとも1つの半田ボール3cが設けられており、半田ボール3aと3bが隣接しないように半田ボール3a～3cがそれぞれ配置されて形成されている。このようにすることによって、外部電極端子間のショートを引き起こす半田くず等の異物は、大きさが1mm以下であることから、半田くず等の異物によって外部電極端子間がショートしたとしても、ほとんどすべて電源電極端子と信号電極端子との間、又はアース電極端子と信号電極端子との間で生じるショートであり、電源電極端子とアース電極端子との間でショートが発生し難い。このため、これらの電極端子間のショートは、バウンダリスキャンで検出することができる。

【0014】なお、外部電極端子間のショートを引き起こす半田くず等の異物は、通常大きさが1mm以下であることから、半田ボール3aと3bとの間の間隔を電極端子間のショートが発生し難くなるぐらいまで広げるようにしてもよい。図5及び図6は、このようにした場合の半導体装置1の実装面の例を示した平面図である。図5では、半田ボール3aと半田ボール3bとの間は、一定の半田ボールピッチに対して少なくとも1つ以上半田ボール3を設けないようにしており、このようにすることによって、電源電極端子とアース電極端子との間でショートが発生し難くすることができる。また図6では、半田ボール3aと半田ボール3bとの間のみ半田ボールピッチを大きくしており、このようにすることによって、電源電極端子とアース電極端子との間でショートが発生し難くすることができる。

【0015】このように、本発明の実施の形態1における半導体装置は、パッケージ2の実装面6上に形成する半田ボール3において、電源電極端子をなす半田ボール3aとアース電極端子をなす半田ボール3bとの間に、

少なくとも1つの信号電極端子をなす半田ボール3cを配置して設けるようにした、このことから、実装基板に実装した後、バウンダリスキャンで検出することができなかった電源電極端子とアース電極端子とのショートを発生し難くすることができ、バウンダリスキャンによる各電極端子間で生じたショート検出率を大幅に向上させ、半導体装置の実装時の信頼性を大幅に向上させることができる。

【0016】

【発明の効果】請求項1に係る半導体装置は、極性の異なる電源電極端子を隣接させないように、各外部電極端子を配置したことから、実装基板に実装した後、バウンダリスキャンで検出することができなかった電源電極端子とアース電極端子とのショートを発生し難くことができ、バウンダリスキャンによる各電極端子間で生じたショート検出率を大幅に向上させ、半導体装置の実装時の信頼性を大幅に向上させることができる。

【0017】請求項2に係る半導体装置は、請求項1において、具体的には、上記面実装パッケージにおける外部電極端子の半田ボールピッチは、1mm以下である。このことから、外部電極端子間のショートを引き起こす半田くず等の異物は、大きさが1mm以下であり、半田くず等の異物によって外部電極端子間がショートしたとしても、電源電極端子とアース電極端子との間でショートが発生せず、電源電極端子と信号電極端子との間、又はアース電極端子と信号電極端子との間で生じるショートである。このため、これらの電極端子間のショートは、バウンダリスキャンで検出することができ、半導体装置の実装時の信頼性を大幅に向上させることができる。

【0018】請求項3に係る半導体装置は、請求項1又は請求項2において、具体的には、極性の異なる電源電極端子間に、電源電極端子とは異なる少なくとも1つの信号電極端子を設けるように、上記各外部電極端子を配置した。このことから、電源電極端子とアース電極端子との間でショートが発生し難く、半田くず等の異物によって生じる外部電極端子間のショートは、ほとんどすべて電源電極端子と信号電極端子との間、又はアース電極端子と信号電極端子との間で生じるショートである。このため、これらの電極端子間のショートは、バウンダリスキャンで検出することができ、半導体装置の実装時の信頼性を大幅に向上させることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体装置の例を示した斜視図である。

【図2】 図1で示した半導体装置の側面図である。

【図3】 図1及び図2で示した半導体装置1を実装基板上に実装した状態を示す側面図である。

【図4】 図1及び図2で示した半導体装置1における実装面の例を示した平面図である。

【図5】 図1及び図2で示した半導体装置1の実装面の他の例を示した平面図である。

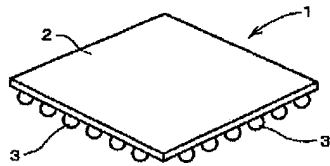
【図6】 図1及び図2で示した半導体装置1の実装面の他の例を示した平面図である。

【図7】 従来の半導体装置における実装面の例を示した平面図である。

【符号の説明】

1 半導体装置、 2 パッケージ、 3 半田ボール、 3a 電源電極端子をなす半田ボール、 3b アース電極端子をなす半田ボール、 3c 信号電極端子をなす半田ボール、 6 実装面

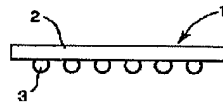
【図1】



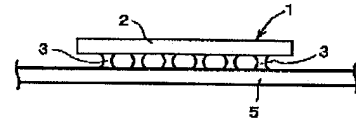
1: 半導体装置
3: 半田ボール

2: パッケージ

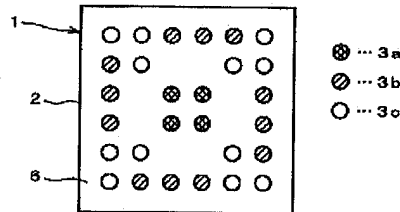
【図2】



【図3】

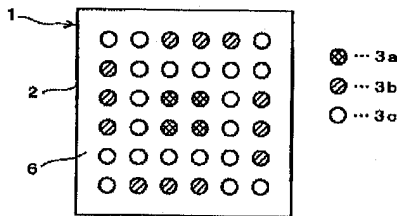


【図5】



⊗ ... 3a
⊙ ... 3b
○ ... 3c

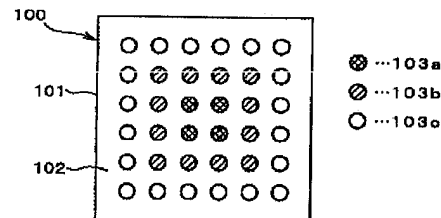
【図4】



⊗ ... 3a
⊙ ... 3b
○ ... 3c

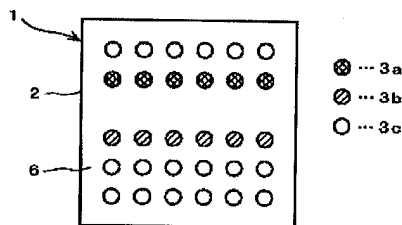
3a~3c: 半田ボール

【図7】



⊗ ... 103a
⊙ ... 103b
○ ... 103c

【図6】



⊗ ... 3a
⊙ ... 3b
○ ... 3c